



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **01015957 A**(43) Date of publication of application: **19 . 01 . 89**

(51) Int. Cl.

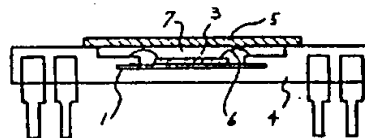
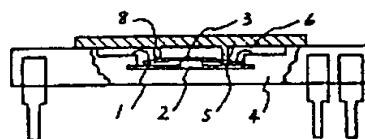
**H01L 23/02****H01L 23/04****H01L 23/16**(21) Application number: **62170919**(22) Date of filing: **10 . 07 . 87**(71) Applicant: **HITACHI LTD**(72) Inventor: **TAKEDA EIJI  
IZAWA RYUICHI  
HAMADA AKIYOSHI**(54) **PACKAGE**

## (57) Abstract:

**PURPOSE:** To improve the element performance by applying a pressure to an element, thereby increasing the mobility of the element.

**CONSTITUTION:** Usually, a semiconductor package substrate 1 is flat, but, by providing an irregular part 2 or providing a projecting part 8 in a sealing cap 5, a tensile stress or compressive stress can be applied to the surface part of a chip 3 in which an element is to be formed. The irregular part 2 of the package substrate may take a smoothly curved shape. Also, if a hydrostatic pressure is applied when the chip is sealed in packages 4, 5, the channel current similarly increases. As the gas used for applying the hydrostatic pressure, a  $N_2$  or He gas is used. Any other gas or liquid may be used as long as it does not degrade the reliability of the semiconductor device.

COPYRIGHT: (C)1989,JPO&amp;Japio



Japanese Laid-Open Patent Publication No. 64-15957/1989

(Tokukaisho 64-15957)

(Published on January 19, 1989)

(A) Relevance to claim

The following is a translation of passages related to claims 5 and 12 of the present invention.

(B) Translation of the relevant passages.

Normally, the semiconductor package substrate 1 is flat. A tensional or compressive stress can be applied to an element formation part on the surface of the chip 3 by providing either an irregular part 2 as shown in Figures 1(a) and 1(b) or a protrusion 8 to a sealing cap 5 as shown in Figure 1(a). The irregular part 2 of the package substrate of course may warp smoothly as shown in Figures 3(a) and 3(b).

Application of tensional stress to the SiN MOS device in the channel direction according to this method increased the characteristic channel current 11 as indicated by the dotted curves 10-10'' in Figure 4. The tensional stress measured  $2 \times 10^8$  dyne/cm<sup>2</sup>.

## ⑫ 公開特許公報(A)

昭64-15957

⑬ Int. Cl.

H 01 L 23/02  
23/04  
23/16

識別記号

庁内整理番号

Z-6835-5F  
G-6835-5F  
6835-5F

⑭ 公開 昭和64年(1989)1月19日

審査請求 未請求 発明の数 2 (全2頁)

⑮ 発明の名称 パッケージ

⑯ 特 願 昭62-170919

⑰ 出 願 昭62(1987)7月10日

⑱ 発 明 者 武 田 英 次 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑲ 発 明 者 井 沢 龍 一 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑳ 発 明 者 濱 田 明 美 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

㉑ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉒ 代 理 人 弁理士 小川 勝男 外1名

## 明 細 書

## 1. 発明の名称

パッケージ

## 2. 特許請求の範囲

1. 半導体パッケージに於いて組み立て用チップに機械的圧力(応力)が加わることを特徴としたパッケージ。

2. 上記記載のパッケージに於いてチップとパッケージが接断面に少なくとも1つの凹凸面があることを特徴とする請求の範囲第1項記載のパッケージ。

3. チップをパッケージに對じる時にN<sub>2</sub>またはH<sub>2</sub>あるいはそれらに類似のチップの信頼性を損なわないガスあるいは液体を用いてチップに静水圧をかけることを特徴とするパッケージ。

## 3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体チップのパッケージに係り、すべての半導体のパッケージの仕様及びチップの封止に関するものである。

## 〔従来の技術〕

従来の技術ではチップをパッケージする時に故意にチップに圧力を加える様なパッケージ構造が採用されることはなかった。

## 〔発明が解決しようとする問題点〕

従来においては半導体デバイスの応力による素子性能向上については配慮されておらず、今後のデバイス開発に於いて問題があつた。

本発明の目的はパッケージの構造あるいはチップの封じ方法を工夫することにより性能向上を図るものである。

## 〔問題点を解決するための手段〕

上記目的はパッケージの構造及びチップを對じる時のガス圧または液体圧を要えることにより、達成される。

## 〔作用〕

素子に圧力を印加することにより、素子の易動度を増加させ、素子性能を向上させることができる。

## 〔実施例〕

以下、本発明の実施例を第1図により説明する。  
通常、半導体パッケージ基板1は平皿であるが、  
同図(a)、(b)に示す様に凹凸部2を設ける  
ことにより、または封じキャップ5に(a)の板  
に突起部8を設けることによりチップ3の表面の  
素子形成部に引張り応力、あるいは圧縮応力を  
印加することができる。もちろん、パッケージ基  
板の凹凸部2は第3図(a)、(b)の様にスミ  
ーズに彫削した形をしていてもよい。

この方法を用いてSiNMOSデバイスにチャ  
ネル方向に圧縮圧力を加えると第4図破線で示す  
曲線10~10'に示す様に圧力印加剤の特性  
11チャネル電流が増加した。圧縮応力は $2 \times 10^9 \text{ dyne/cm}^2$ であつた。

また、第2図に示す様にチップ3をパッケージ  
4、5に封じる時、静水圧を加えると同時にチャ  
ネル電流が増加した。静水圧を加える時に使った  
ガスは $N_2$ または $H_2$ ガスを用いた。もちろん、  
半導体デバイスの信頼性を損なわないものであれ  
ば他のガスあるいは液体でもよい。

(発明の効果)

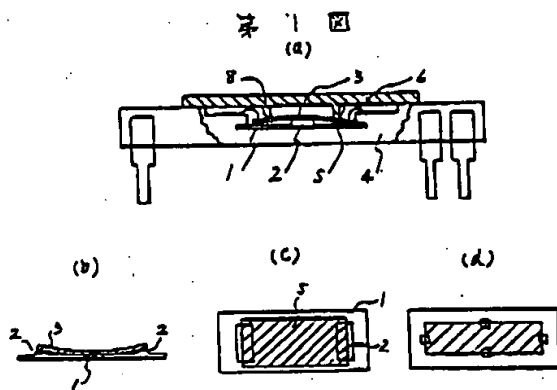
本発明によれば実施例でも示した様にパッケ  
ージ構造、パッケージへの封じ方法を工夫すること  
により素子の性能を向上することができVLSI  
のスピードを速くする効果がある。

#### 4. 図面の簡単な説明

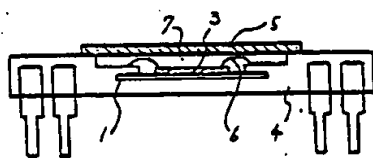
第1図はパッケージの本発明の実施例になる所  
面図および平面図(b')、(b'')、第2図は本  
発明の他の実施例になるパッケージの断面図、第  
3図は本発明のさらに他の実施例になるパッケ  
ージ基板部の断面図、第4図は本発明の効果を示す  
半導体装置のチャネル電流特性図である。

1…パッケージ基板、2…パッケージ基板の凹凸、  
3…半導体チップ、4…パッケージ、5…封じキ  
ャップ、6…ワイヤ(配線)、7…突起部、

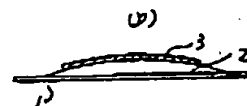
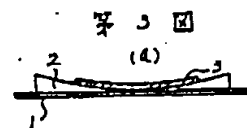
代理人 井理士 小川勝男



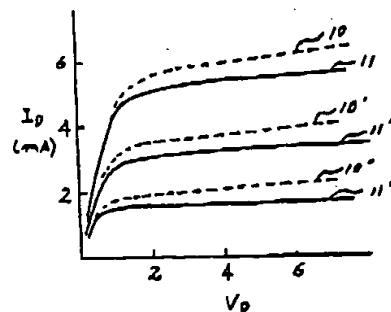
第2図



- |               |           |
|---------------|-----------|
| 1 パッケージ基板     | 5 封じキャップ  |
| 2 パッケージ基板の凹凸部 | 6 ワイヤ(配線) |
| 3 半導体チップ      | 7 突起部     |
| 4 パッケージ       | 8 突起部     |



第4図



- |              |
|--------------|
| 1 パッケージ基板    |
| 2 パッケージ基板の凹凸 |
| 3 半導体チップ     |
| 10 圧力印加前     |
| 11 圧力印加後     |